

Architecture des ordinateurs

Cours 6 - La mémoire centrale

Halim Djerroud (hdd@ai.univ-paris8.fr)
Sylvia Chalençon (sc@up8.edu)

LIASD - Université Paris 8

Hiver 2021

Architecture générale d'un ordinateur

Les principaux constituants un ordinateur :

- Mémoire (stocker l'information)
- Processeur (exécuter les instructions du programme)
- Entrées / Sorties Communiquer avec l'environnement

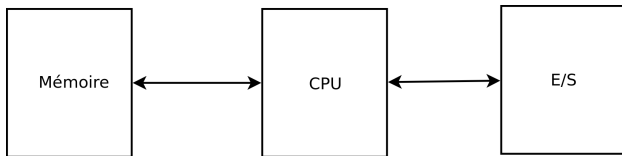


FIGURE – Architecture générale d'un ordinateur

La mémoire centrale

- Mémoire dans laquelle on peut lire et écrire.
- Mémoire volatile (perd son contenu dès la coupure du courant).
- La mémoire vive RAM (Random Access Memory)

Les unités de capacité

- Le bit (noté petit b)
- L'octet = 2^3 bits = 8 bits. (noté 1 \emptyset)
- Le Kilo-octet = 2^{10} octets = 1024 \emptyset (noté 1 $K\emptyset$)
- Le Mega-octet = 2^{20} octets = 1024² \emptyset (noté 1 $M\emptyset$)
- Le Giga-octet = 2^{30} octets = 1024³ \emptyset (noté 1 $G\emptyset$)
- Le Tera-octet = 2^{40} octets = 1024⁴ \emptyset (noté 1 $T\emptyset$)

Les unités de capacité

Les préfixes métriques dans système international d'unités (SI) k, M, G signifiaient :

- $k = 10^3$
- $M = 10^6$
- $G = 10^9$

Or en informatique $1k = 1024$...

A partir de 1998, le SI a clarifié la différence :

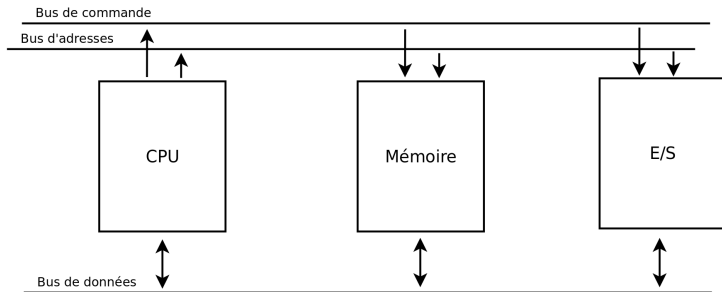
- $k = 1000$, $ki = 1024$
- $M = 1000000$, $Mi = 1048576$
- $G = 1000000000$, $Gi = 1073741824$

Quelques définitions

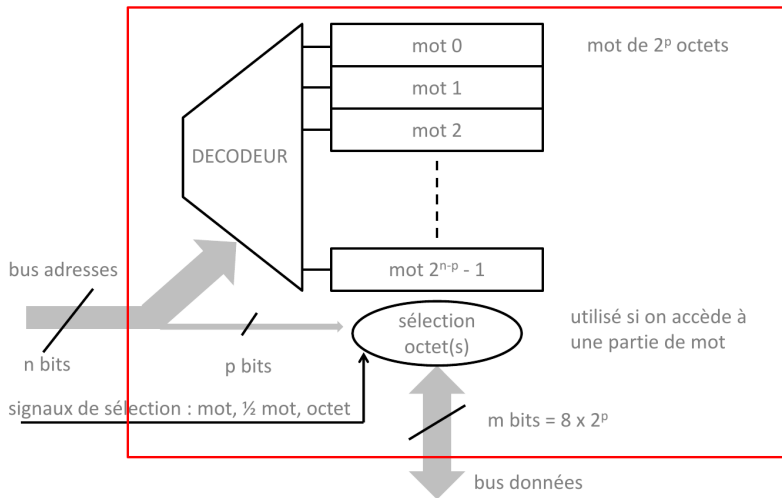
- **Mot** : C'est un regroupement de n bits constituant une case mémoire dans la mémoire centrale. Ils sont tous numérotés. C'est la plus grande quantité d'information transférable en un seul accès (lecture ou écriture)
- **Adresse** : C'est le numéro d'un mot-mémoire (case mémoire) dans la mémoire centrale.
- **Organisation** : La mémoire centrale est organisée en bits et en mots. Chaque mot-mémoire est repéré par son adresse en mémoire centrale.

Fonctionnement général, et rôle de la mémoire

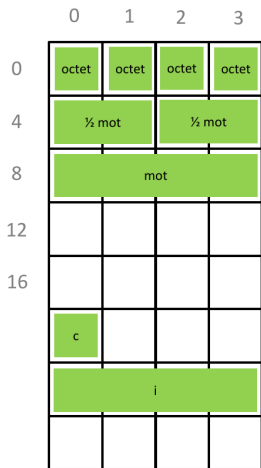
- Lecture
- Écriture



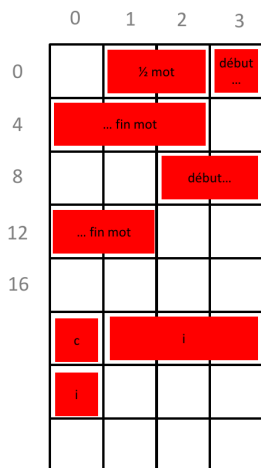
La mémoire centrale



Contraintes d'alignement



possible



impossible / peu performant

Contraintes d'alignement (2)

Contraintes à respecter :

- accès octet : pas de contrainte sur l'adresse
- 2 octets : adresse $\% 2 = 0$
- 4 octets : adresse $\% 4 = 0$
- 8 octets : adresse $\% 8 = 0$

Si la contrainte n'est pas respectée alors :

- Pour obtenir un mot il faut 2 accès mémoire.

Pour info

- Le x86 autorise l'accès en deux temps pour récupérer un mot (Pour éviter les pertes de mémoires dans les structures).
- Motorola 68000 interdit cette pratique.

Caractéristiques d'une mémoire

Soit une mémoire de 2^n octets, en mots de 2^p octets

- Capacité :

$$8 \times 2^n \text{ bits} = 2^n \text{ octets} = 2^{n-p} \text{ mots}$$

- Temps d'accès t_a (en *ns*) :

- Délai entre le positionnement d'une adresse sur le bus adresse et la disponibilité de la valeur sur le bus données (pour une lecture).

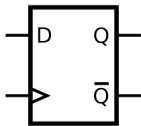
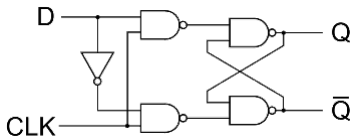
- Dépend de la taille de la mémoire (temps de traversée du décodeur).

- Débit d'accès $d_a = 2^p / t_a$ (en *MB/s*) :

- Le débit croît avec la taille du mot

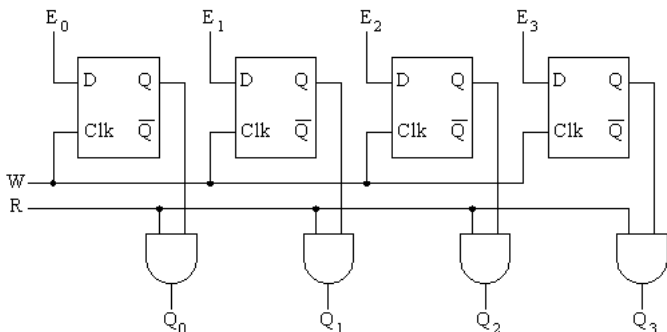
Bascule

- Une bascule : mémorise une information sur **1 seul bit**.



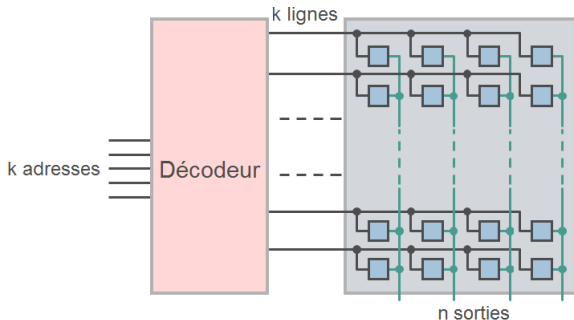
Registre

- Un registre : mémorise une information sur n bit (généralement 1 octet).



Mémoire

- Une mémoire : mémorise plusieurs informations sur n octets (généralement regroupés en mots) .



Principe d'implémentation

- L'unité de construction de la mémoire centrale est un circuit de base appelé barrette mémoire (modularité, standardisation, réduction des coût,...)
- Une barrette dispose des signaux adresses, données, contrôles habituels, plus une entrée **CS (Chip Select)**, indiquant si un accès mémoire la concerne

Exemple

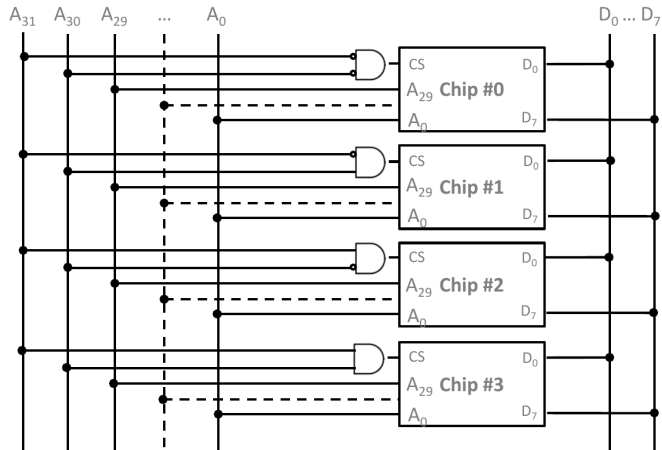
- On veut réaliser une mémoire de 4 Gio, avec des mots de 1 octet
 - bus adresse : 32 bits $A_{31} - A_0$ pour adresser individuellement les 4 Gio.
 - bus données : 8 bits $D_7 - D_0$ pour lire/écrire un mot en une fois
- On utilise des barrettes de 1 Gio, avec mots de 1 octet
 - chaque barrette a 30 broches adresses $A_{29} - A_0$
 - chaque barrette a 8 broches données $D_7 - D_0$

- Il nous faut donc 4 barrettes : $4 \text{ Gio} = 4 \times 1 \text{ Gio}$

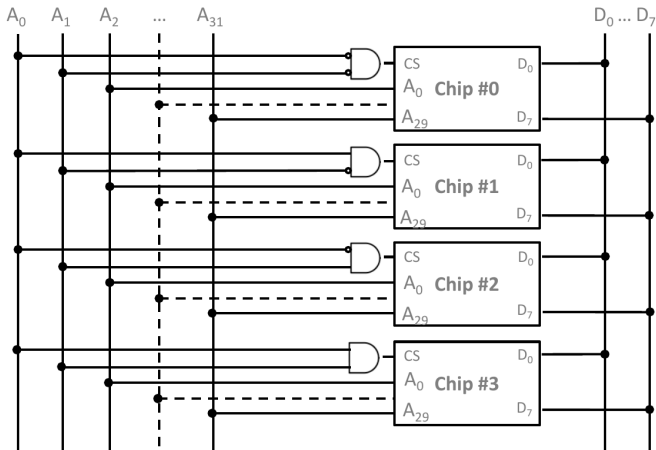
Câblage des barrettes

- Bus données $D_7 - D_0$
 - les broches $D_7 - D_0$ des barrette sont connectées aux $D_7 - D_0$ du bus
- Bus adresses $A_{31} - A_0$:
 - chaque barrette n'a que 30 broches $A_{29} - A_0$
 - 2 bits du bus adresses sont utilisés pour générer le signal **CS** sur la barrette concernée par l'accès
- Il y a deux façons de câbler les barrettes sur le bus adresses :
 - mémoire en bancs : chaque barrette correspond à une plage contigue d'adresses : $[0, 1Gi[$, $[1Gi, 2Gi[$, $[2Gi, 3Gi[$, $[3Gi, 4Gi[$
 - mémoire entrelacée : la barrette $n^{\circ}i$ correspond aux adresses A telles que $A\%4 = i$

Mémoire en bancs



Mémoire entrelacée



Comparaison

- Dans une mémoire en bancs, on peut ajouter / retirer des barrettes pour augmenter / diminuer la capacité totale (possibilité d'adapter le nombre de barrettes, impossible avec la mémoire entrelacée)
- Dans une mémoire entrelacée, on peut lancer en parallèle la lecture de 4 octets consécutifs à l'adresse A (il suffit ensuite de les récupérer 1 par 1 (bus de données unique)).